

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064092

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H01L 21/316

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2000-250048

(71)Applicant : YAMAHA CORP

(22)Date of filing : 21.08.2000

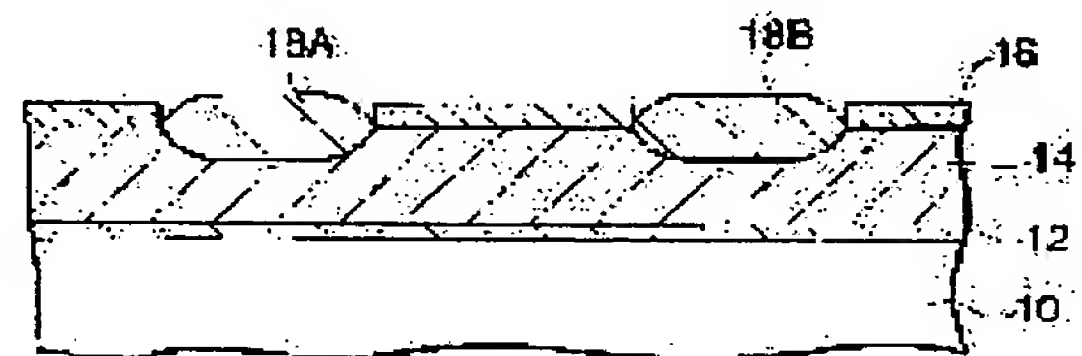
(72)Inventor : SUZUKI TAMITO
TAKENAKA MAKOTO

(54) SELECTIVE OXIDIZING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of a bird's beak in a selective oxidizing method.

SOLUTION: A silicon nitride film 16 is formed on the surface of an amorphous silicon layer 14 using a vertical low pressure thermal CVD system. An insert speed is raised to 300-600 [mm/min] or the heating temperature at inserting is lowered to 400-600 [°C] so that no poor thermally oxidized film is grown on the surface of the amorphous silicon layer 14 when a semiconductor substrate 10 is inserted into a reactive chamber of the thermal CVD system. After a hole corresponding to a gate electrode pattern is formed at the silicon nitride film 16, the surface of amorphous silicon layer is selectively oxidized with the silicon nitride film 16 as a mask. As a result, such silicon oxide films 18A and 18B as have little bird's beak are provided. The material for elective oxidizing may be a single crystal silicon or polysilicon.



18A, 18B: シリコン酸化膜

LEGAL STATUS

[Date of request for examination] 26.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3470688

[Date of registration] 12.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the process which forms a silicon nitride in the front face of silicon material using a reduced pressure type heat CVD system. What inserts in the front face of said silicon material on the conditions the thermal oxidation film does not grow up to be in case said silicon material is inserted into the reaction chamber of said heat CVD system, The selective oxidation method which includes the process which forms the silicon oxide which carries out selective oxidation of the front face of said silicon material by using said silicon nitride as a mask, and has a pattern corresponding to said hole after forming said hole, the process which forms the hole corresponding to a predetermined pattern in said silicon nitride, and.

[Claim 2] The selective oxidation method according to claim 1 characterized by setting up the insertion rate of said silicon material within the limits of 300-600 [mm/min] as one of the conditions into which said thermal oxidation film does not grow up while using the thing of the vertical mold which inserts said silicon material up through lower part opening of said reaction chamber as said heat CVD system.

[Claim 3] The selective oxidation method according to claim 1 characterized by setting up whenever [stoving temperature / of said reaction chamber] within the limits of 400-600 [**] as one of the conditions into which said thermal oxidation film does not grow up while using the thing of the vertical mold which inserts said silicon material up through lower part opening of said reaction chamber as said heat CVD system.

[Claim 4] They are the process which forms a silicon layer in the front face of a semi-conductor substrate through an insulator layer, and the process which forms a silicon nitride in the front face of said silicon layer using a reduced pressure type heat CVD system. What inserts in the front face of said silicon layer on the conditions the thermal oxidation film does not grow up to be in case said semi-conductor substrate is inserted into the reaction chamber of said heat CVD system, The process which forms the hole corresponding to a predetermined electrode or a predetermined circuit pattern in said silicon nitride, The process which forms the silicon oxide which carries out selective oxidation of the front face of said silicon layer by using said silicon nitride as a mask, and has a pattern corresponding to said hole after forming said hole, The process of a semiconductor device including the process which forms the electrode or wiring layer which consists of the residual section of said silicon layer by carrying out dry etching of said silicon layer alternatively by using said silicon oxide as a mask after removing said silicon nitride.

[Claim 5] The process which forms the amorphous silicon layer for gate electrode formation in the front face of a semi-conductor substrate through the insulator layer for a gate electrode insulation, It is the process which forms a silicon nitride in the front face of said amorphous silicon layer using a reduced pressure type heat CVD system. What inserts in the front face of said amorphous silicon layer on the conditions the thermal oxidation film does not grow up to be in case said semi-conductor substrate is inserted into the reaction chamber of said heat CVD system, The process which forms the hole corresponding to a predetermined gate electrode pattern in said silicon nitride, The process which forms the 1st silicon oxide which carries out selective oxidation of the front face of said amorphous silicon layer by using said silicon nitride

as a mask, and has a pattern corresponding to said hole after forming said hole, The process which forms the 1st gate electrode layer which consists of the residual section of said amorphous silicon layer by carrying out dry etching of said amorphous silicon layer alternatively by using said 1st silicon oxide as a mask after removing said silicon nitride, The process which oxidizes one [at least] side-attachment-wall section of said 1st gate electrode layer, and forms the 2nd silicon oxide of a wrap for one [this] side-attachment-wall section, The process of a semiconductor device including the process which forms the 2nd gate electrode layer for passing tunnel current between said 1st gate electrode layer so that said the 1st and 2nd silicon oxide and said insulator layers may be covered.

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the approach of oxidizing silicon material alternatively by using a silicon nitride (silicon nitride film) as a mask, and the process of the semiconductor device using this selective oxidation method, in case this invention forms a silicon nitride using reduced pressure type heat CVD (chemical vapor deposition) equipment especially, it controls generating of a BAZU beak by inserting silicon material in a reaction chamber on the conditions on which the thermal oxidation film does not grow up to be the front face of silicon material.

[0002]

[Description of the Prior Art] Conventionally, as a process of EEPROM (electrically erasable, programmable read only memory), what etches an amorphous silicon layer alternatively by using as a mask the silicon oxide (silicon oxide film) formed by the selective oxidation method as shown in drawing 13 -15, and forms the layer [1st] gate electrode layer is proposed.

[0003] At the process of drawing 13 , the amorphous silicon layer 3 is formed in the front face of a silicon substrate 1 through the gate dielectric film 2 which consists of silicon oxide. The amorphous silicon layer 3 is for gate electrode formation, and is formed into low resistance by doping conductivity-type decision impurities, such as Lynn. After forming the silicon nitride 4 in the front face of the amorphous silicon layer 3, hole 4a corresponding to a gate electrode pattern is formed in the silicon nitride 4 by selective etching processing.

[0004] At the process of drawing 14 , the silicon oxide 5 which has a pattern corresponding to hole 4a is formed by oxidizing the front face of the amorphous silicon layer 3 alternatively by using the silicon nitride 4 as a mask. Then, the silicon nitride 4 is removed.

[0005] At the process of drawing 15 , the layer [1st] gate electrode layer which removes the polish recon layer 3 alternatively by anisotropic etching processing which uses silicon oxide 5 as a mask, and consists of residual section 3A of the amorphous silicon layer 3 is formed.

[0006] At the process of drawing 16 , while forming silicon oxide 6a and 6b in the side-attachment-wall section of gate electrode layer 3A by oxidation treatment, silicon oxide 6A and 6B is formed in a substrate front face. The gate dielectric film (silicon oxide) which existed in the part which is not covered with gate electrode layer 3A in a substrate front face becomes thick, and silicon oxide 6A and 6B is formed succeeding the gate dielectric film [directly under] 2 of gate electrode layer 3A.

[0007] At the process of drawing 17 , by carrying out patterning of the low resistance polish recon layer put on the substrate top face, the gate electrode layer 7 of a two-layer eye is formed so that silicon oxide 5, 6a, and 6A may be covered. The gate electrode layer 7 is for passing tunnel current between gate electrode layer 3A.

[0008] SILO (Seald Interface Local Oxidation) using the precise silicon nitride (or precise silicon nitride which poured in nitrogen ion) put by the plasma-CVD method on the surface of the silicon substrate as a technique which carries out selective oxidation of the front face of a silicon substrate conventionally, and forms the silicon oxide for separation between components as a mask for selective oxidation -- law is known. drawing 13 and the process of 14 -- SILO -- it is also possible to use law.

[0009]

[Problem(s) to be Solved by the Invention] According to the conventional technique mentioned above about drawing 13 -17, in drawing 13 and the selective oxidation process of 14, the BAZU beaks 5a and 5b which follow silicon oxide 5 under the silicon nitride 4 by the periphery of hole 4a, and consist of silicon oxide grow.

[0010] Since the BAZU beaks 5a and 5b make the dimension of silicon oxide 5 larger than the dimension of hole 4a, they become the hindrance of detailed-izing. Moreover, at the selective etching process of drawing 15, since the BAZU beaks 5a and 5b as an etching mask are etched, the patterning precision of the amorphous silicon layer 3 falls, and the dimension of gate electrode layer 3A is changed inside from the location shown with broken lines a and b. For this reason, if the gate electrode layer 7 is formed as shown in drawing 17, dispersion in a tunnel voltage-current property will be large, and will cause the fall of the yield.

[0011] drawing 13 and the selective oxidation process of 14 -- setting -- the above-mentioned SILO -- even if it uses law, a BAZU beak cannot be mostly controlled to zero. Moreover, if a plasma-CVD method and ion-implantation are used, it is necessary to add an expensive facility and will become cost quantity.

[0012] The purpose of this invention is to offer the new selective oxidation method which can control generating of a BAZU beak to zero mostly, and the process of a semiconductor device, without using an expensive facility.

[0013]

[Means for Solving the Problem] The selective oxidation method concerning this invention is a process which forms a silicon nitride in the front face of silicon material using a reduced pressure type heat CVD system. What inserts in the front face of said silicon material on the conditions the thermal oxidation film does not grow up to be in case said silicon material is inserted into the reaction chamber of said heat CVD system, The process which forms the hole corresponding to a predetermined pattern in said silicon nitride, and after forming said hole, the process which forms the silicon oxide which carries out selective oxidation of the front face of said silicon material by using said silicon nitride as a mask, and has a pattern corresponding to said hole is included.

[0014] According to the selective oxidation method of this invention, since a conventional reduced pressure type heat CVD system is used, an expensive facility is not needed but cost reduction becomes possible. Moreover, since it inserts in the front face of silicon material on the conditions the thermal oxidation film does not grow up to be in case silicon material is inserted into the reaction chamber of a heat CVD system, generating of a BAZU beak can be mostly controlled to zero.

[0015] If it is in the selective oxidation method of this invention, while using the thing of the vertical mold which inserts silicon material up through lower part opening of a reaction chamber as a heat CVD system, as one of the conditions into which the thermal oxidation film does not grow up, the insertion rate of silicon material may be set up within the limits of 300-600 [mm/min], or whenever [stoving temperature / of the reaction chamber under insertion] may be set up within the limits of 400-600 [**]. If it does in this way, generating of a BAZU beak can be controlled without reducing productivity.

[0016] The process at which the process of the 1st semiconductor device concerning this invention forms a silicon layer in the front face of a semi-conductor substrate through an insulator layer, It is the process which forms a silicon nitride in the front face of said silicon layer using a reduced pressure type heat CVD system. What inserts in the front face of said silicon layer on the conditions the thermal oxidation film does not grow up to be in case said semi-conductor substrate is inserted into the reaction chamber of said heat CVD system, The process which forms the hole corresponding to a predetermined electrode or a predetermined circuit pattern in said silicon nitride, The process which forms the silicon oxide which carries out selective oxidation of the front face of said silicon layer by using said silicon nitride as a mask, and has a pattern corresponding to said hole after forming said hole, After removing said silicon nitride, the process which forms the electrode or wiring layer which consists of the residual section of said silicon layer is included by carrying out dry etching of said silicon layer

alternatively by using said silicon oxide as a mask.

[0017] According to the process of the 1st semiconductor device of this invention, since the selective oxidation method of this invention is used, while cost reduction becomes possible, generating of a BAZU beak can be mostly controlled to zero. Since dry etching of the silicon layer is moreover carried out by using silicon oxide without a BAZU beak as a mask, the patterning precision of a silicon layer can improve and dispersion in the dimension of an electrode or a wiring layer can be reduced.

[0018] The process at which the process of the 2nd semiconductor device concerning this invention forms the amorphous silicon layer for gate electrode formation in the front face of a semi-conductor substrate through the insulator layer for a gate electrode insulation, It is the process which forms a silicon nitride in the front face of said amorphous silicon layer using a reduced pressure type heat CVD system. What inserts in the front face of said amorphous silicon layer on the conditions the thermal oxidation film does not grow up to be in case said semi-conductor substrate is inserted into the reaction chamber of said heat CVD system, The process which forms the hole corresponding to a predetermined gate electrode pattern in said silicon nitride, The process which forms the 1st silicon oxide which carries out selective oxidation of the front face of said amorphous silicon layer by using said silicon nitride as a mask, and has a pattern corresponding to said hole after forming said hole, The process which forms the 1st gate electrode layer which consists of the residual section of said amorphous silicon layer by carrying out dry etching of said amorphous silicon layer alternatively by using said 1st silicon oxide as a mask after removing said silicon nitride, The process which oxidizes one [at least] side-attachment-wall section of said 1st gate electrode layer, and forms the 2nd silicon oxide of a wrap for one [this] side-attachment-wall section, The process which forms the 2nd gate electrode layer for passing tunnel current between said 1st gate electrode layer so that said the 1st and 2nd silicon oxide and said insulator layers may be covered is included.

[0019] According to the process of the 2nd semiconductor device of this invention, since the selective oxidation method of this invention is used, while cost reduction becomes possible, generating of a BAZU beak can be mostly controlled to zero. Moreover, since dry etching of the amorphous silicon layer is carried out by using silicon oxide without a BAZU beak as a mask, the patterning precision of an amorphous silicon layer can improve, the dimension of the 1st gate electrode layer and dispersion of a configuration can be reduced, and the square shape configuration of the gate electrode layer shoulder which influences especially an electrical property is stabilized. For this reason, dispersion in the tunnel voltage-current property about the 1st and 2nd gate electrode layers can be reduced.

[0020]

[Embodiment of the Invention] 9 shows the process of EEPROM concerning 1 operation gestalt of this invention, and explains drawing 1 - process [corresponding to each drawing] (1) - (9) one by one.

[0021] (1) For example, form the insulator layer 12 for a gate electrode insulation which consists of silicon oxide by the oxidizing [thermally] method etc. in the front face of the semi-conductor substrate 10 which consists of silicon. Thickness of an insulator layer 12 can be set to 100-200 [**] as an example. On an insulator layer 12, the amorphous silicon layer 14 is formed with a CVD method. The amorphous silicon layer 14 is for gate electrode formation, and is formed into low resistance by doping conductivity-type decision impurities, such as Lynn, during deposition or after deposition. Thickness of the amorphous silicon layer 14 can be set to 2500-3500 [**] as an example.

[0022] Next, the silicon nitride 16 is formed in the front face of the amorphous silicon layer 14 using a reduced pressure type heat CVD system. The silicon nitride 16 is used as an oxidation mask in selective oxidation processing of drawing 2 , and is formed in the thickness of 300-700 [**] as an example. In case the substrate 10 as a processed wafer is inserted in the reaction chamber of a heat CVD system, between the amorphous silicon layer 14 and the silicon nitride 16, it considers as the configuration in which the thermal oxidation film does not exist by inserting in the front face of the amorphous silicon layer 14 on the conditions the crude thermal oxidation film (50 [**] or silicon oxide of the thickness not more than it) does not grow up to be.

About concrete formation processing of the silicon nitride 16, it mentions later with reference to drawing 10. Then, the holes 16a and 16b corresponding to a gate electrode pattern are respectively formed in the silicon nitride 16 by well-known selective etching (photolithography and dry etching) processing.

[0023] (2) Form the silicon oxide 18A and 18B which has a pattern corresponding to Holes 16a and 16b, respectively by carrying out selective oxidation of the front face of the amorphous silicon layer 14 by using as a mask the silicon nitride 16 which has Holes 16a and 16b. Each thickness of silicon oxide 18A and 18B can be set to 1250–1750 [**] as an example. Since it is considered as the configuration in which the thermal oxidation film does not exist between the amorphous silicon layer 14 and the silicon nitride 16 at the process of drawing 1, about silicon oxide 18A and 18B, generating of a BAZU beak was hardly accepted. Then, etching processing removes the silicon nitride 16.

[0024] (3) Form the gate electrode layers 14A and 14B which remove the amorphous silicon layer 14 alternatively by dry etching processing of the anisotropy which uses silicon oxide 18A and 18B as a mask, and consist of the residual section of the amorphous silicon layer 14. Since there is no BAZU beak in silicon oxide 18A and 18B, the patterning precision of the amorphous silicon layer 14 improves, and the dimension of the gate electrode layers 14A and 14B and dispersion of a configuration are reduced.

[0025] (4) Form the insulator layers 20A–20C which all consist of silicon oxide by the oxidizing [thermally] method, and 20a–20d. Insulator layers 20A and 20B are formed in the one side of gate electrode layer 14A, and the other side in a substrate front face, respectively, and are formed succeeding gate-dielectric-film 12a [directly under] of electrode layer 14A more thickly than it. In a substrate front face, about gate electrode layer 14B, insulator layer 20B is formed in the opposite side, and insulator layer 20C is formed succeeding gate-dielectric-film 12b [directly under] of electrode layer 14B more thickly than it. Insulator layer 18B follows gate-dielectric-film 12b, and is formed more thickly than it. Each thickness of insulator layers 20A–20C can be set to 300–500 [**] as an example.

[0026] On the other hand, gate electrode layer 14A reaches, insulator layers 20a and 20b are formed in the side-attachment-wall section of another side, respectively, insulator layer 20a is continued and formed in insulator layer 20A and silicon oxide 18A, and insulator layer 20b is continued and formed in insulator layer 20B and silicon oxide 18A. On the other hand, gate electrode layer 14B reaches, insulator layers 20c and 20d are formed in the side-attachment-wall section of another side, respectively, insulator layer 20c is continued and formed in insulator layer 20B and silicon oxide 18B, and 20d of insulator layers is continued and formed in insulator layer 20C and silicon oxide 18B. Each insulator layers [20a–20d] thickness can be set to 300–400 [**] as an example. In addition, insulator layers 20A–20C and 20a–20d, you may form with a reduced pressure type heat CVD method, or may form with the oxidizing [thermally] method and a reduced pressure type heat CVD method.

[0027] (5) Form the resist layer 22 in a substrate top face by the rotation applying method etc. The resist layer 22 is formed more thickly than the level difference based on gate electrode layer 14A and silicon oxide 18A. And the resist layers 22A, 22B, and 22C are made to remain on insulator layers 20A, 20B, and 20C by making it thin, respectively until each shoulder of silicon oxide 18A and 18B exposes the resist layer 22 by half ashing (or half etching) processing.

[0028] (6) Form in a substrate top face the resist layer 24 which has hole 24a which exposes the shoulder of silicon oxide 18A, and a part of resist layer 22B of the near by photolithography processing. Between resist layer 22B and the resist layer 24, opening corresponding to the shoulder of silicon oxide 18A is defined.

[0029] Next, the connection hole 26 which uses the resist layers 24 and 22B as a mask, and removes alternatively silicon oxide 18A and insulator layer 20b by isotropic wet ETCHINGGU processing using HF as etchant, and exposes the shoulder of gate electrode layer 14A is formed. Then, ashing processing etc. removes the resist layers 24, 22A–22C.

[0030] (7) Form the polish recon layer 28 of low resistance in a substrate top face with a CVD method etc. The polish recon layer 28 is formed so that silicon oxide 18A and 18B and insulator layers 20A–20C, and 20a–20d may be covered and it may connect with gate electrode layer 14A

through the connection hole 26. If it puts in another way, the polish recon layer 28 is insulated from a substrate 10 and the gate electrode layers 14A and 14B by silicon oxide 18A and 18B and insulator layers 20A-20C, and 20a-20d in parts other than a connection with gate electrode layer 14A.

[0031] Next, the resist layers 30A and 30B are formed on the polish recon layer 28 by photolithography processing. Resist layer 30A is formed by the pattern corresponding to the gate electrode layer as a word line, and resist layer 30B is formed by the pattern corresponding to the gate electrode layer of the two-layer eye which constitutes a floating-gate electrode with gate electrode layer 14A of the 1st layer.

[0032] (8) Dry etching processing of the anisotropy which uses the resist layers 30A and 30B as a mask removes the polish recon layer 28 alternatively, and make the polish recon layers 28A and 28B remain as a gate electrode layer. Gate electrode layer 28A is used as a word line. It connects with gate electrode layer 14A through the connection hole 26 (drawing 6), and gate electrode layer 28B constitutes a floating-gate electrode with gate electrode layer 14A.

[0033] (9) Form the source field S and the drain field D in a substrate front face by alternative ion-implantation processing after forming the gate electrode layers 28A and 28B. When a substrate 10 is used as P type, each uses Fields S and D as N⁺ mold. The source field S and the drain field D are used as a grounding conductor and a bit line, respectively. The capacity formation field C of N-mold may be formed in the substrate front face of the lower part of gate electrode layer 14A by alternative ion-implantation processing through hole 16a formed in the silicon nitride 16 at the process of drawing 1 . The capacity formation field C forms joint capacity with insulator layer 12a and gate electrode layer 14A.

[0034] Informational writing will be performed by pouring an electron into the floating-gate electrodes 14A and 28B according to the tunnel effect from gate electrode layer 14B, and the channel field of the lower part of gate electrode layer 28B will be in an OFF state. Informational elimination will be performed by making an electron emit to gate electrode layer 28A according to the tunnel effect from the floating-gate electrodes 14A and 28B, and the TEYANNERU field of the lower part of gate electrode layer 28B will be in an ON state. Since the detail of actuation of such an EEPROM is indicated by the patent No. 2512181 official report, explanation is omitted.

[0035] Since the gate electrode layers 14A and 14B by which there is little dispersion in a dimension or a configuration, and the square shape configuration of a shoulder was stabilized at the process of drawing 3 R> 3 are obtained according to the above-mentioned process of EEPROM If the gate electrode layers 28A and 28B are formed as shown in drawing 8 , dispersion in a tunnel voltage-current property will be reduced also about between which [between 14A-28A and between 14B-28B] gate electrode layers, and the manufacture yield of EEPROM will improve.

[0036] Drawing 10 shows the vertical mold reduced pressure type heat CVD system used for implementation of this invention.

[0037] The outer tube 42 which consists of a quartz is arranged so that the inner tube 40 which consists of a quartz may be covered, and the upper limit of an outer tube 42 is closed in the shape of a dome. It is connected by the flange 44 and, as for the lower limit of an inner tube 40, and the lower limit of an outer tube 42, the inner tube 40, the outer tube 42, and the flange 44 form gas-passageway GS extended up in the shape of a cylinder. An inner tube 40 and an outer tube 42 constitute a reaction chamber RC, and the flange 44 forms the lower part opening LO of a reaction chamber RC.

[0038] The resistance heating-type heater 46 is formed in the perimeter of an outer tube 42. Heaters 46 are 5 division formats and consist of the central heater HC, and the method heater HCU of Nakagami and the upper part heater HU. [the lower part heater HL, a method heater HCL of Nakashita, and]

[0039] The shutter 48 which can be opened and closed freely is formed in the lower part opening LO of a reaction chamber RC. Where a shutter 48 is opened, the wafer boat 56 on the lid 52 supported with the support arm 50 can be inserted into a reaction chamber RC (loading). a wafer boat 56 -- many -- the wafer which several processed wafers (thing equivalent to the above-mentioned semi-conductor substrate 10) were set, and was set to the upper part location, the

mid gear, and the lower part location among these wafers is set to WU, WC, and WL, respectively.

[0040] On the occasion of loading of a wafer boat 56, in a reaction chamber RC, as a broken-line arrow head shows, N₂ gas is passed. N₂ gas is exhausted from the lower part of a reaction chamber RC. A wafer boat 56 is inserted up through the lower part opening LO of a reaction chamber RC by driving the support arm 50 in the direction of arrow-head A. And where a lid 52 is pressed on the inferior surface of tongue of a flange 44 through the O ring 54, the lower part opening LO is closed. In such a condition, while switching distributed gas to predetermined reactant gas, CVD processing is performed by setting whenever [at a heater 46 / stoving temperature] as a predetermined value.

[0041] Usually, formation of a silicon nitride is performed in the temperature region of 750–800 [**]. In this case, a boat load rate is set up within the limits of 80–200 [mm/min], and whenever [stoving temperature / of the reaction chamber RC at the time of boat loading] is set up within the limits of 620–730 [**]. If selective oxidation processing is performed as drawing 14 described using the silicon nitride formed on such conditions as an oxidation mask, the BAZU beaks 5a and 5b will arise at the edge of silicon oxide 5.

[0042] It is thought that the cause which a BAZU beak generates according to research of an artificer is for the crude thermal oxidation film to grow up to be the front face of silicon material by contacting the atmospheric air involved in as the front face of the silicon material on the heated wafer showed by the arrow head B in a reaction chamber RC at the time of boat loading, and the atmospheric air which remains between wafers, without the permutation by N₂ working.

[0043] Drawing 11 makes a boat load rate a parameter, the relation between the wafer locations WL, WC, and WU and boat load time is shown, and curves P1, P2, P3, and P4 correspond to the boat load rate 100, 150, 300, 500 [mm/min], respectively. Whenever [stoving temperature / of a reaction chamber RC] was the 710 [**] neighborhoods. The field Ps which attached hatching of a broken line shows the field where generating of a BAZU beak is controlled, and an arrow head Pa shows the direction where generating of a BAZU beak is controlled. Its repeatability was not good unless the boat load rate was more than 300 [mm/min]. As one of the conditions on which the thermal oxidation film does not grow up to be the front face of silicon material, it is desirable to set up a boat load rate within the limits of 300–600 [mm/min]. Thus, if a boat load rate is made quick, the front face of the silicon material on the heated wafer can shorten the time amount which coexists with atmospheric air, and growth of the thermal oxidation film can be prevented.

[0044] Drawing 12 shows the example of a setting of whenever [stoving temperature / of the reaction chamber RC at the time of a boat load], and curves Q1 and Q2 all show the laying temperature corresponding to the heater locations HL, HCL, HC, HCU, and HU. The field Qs which attached hatching of a broken line shows the field where generating of a BAZU beak is controlled, and an arrow head Qa shows the direction where generating of a BAZU beak is controlled. As one of the conditions on which the thermal oxidation film does not grow up to be the front face of silicon material, it is desirable to set up whenever [stoving temperature / of a reaction chamber RC] within the limits of 400–600 [**]. Thus, if whenever [stoving temperature] is made low, the reaction of silicon material and the oxygen in atmospheric air can be controlled, and growth of the thermal oxidation film can be prevented.

[0045] If the conditions of 400–600 [**] are used together whenever [conditions / of the above-mentioned boat load rates 300–600 [mm/min] / , and stoving temperature], growth of the thermal oxidation film in a silicon material front face can be prevented much more certainly.

[0046] This invention is not limited to the above-mentioned operation gestalt, and can be carried out with various alteration gestalten. For example, the following modification is possible.

[0047] (1) In case a silicon nitride is formed, in order to prevent that the thermal oxidation film grows up to be the front face of silicon material (a) Add a load lock mechanism to a heat CVD system, and temperature of the reaction chamber at the time of the method of performing loading, where a processed wafer (substrate) is intercepted with atmospheric air, or (b) loading is made into a room temperature. After permuting the ambient atmosphere in a reaction chamber by the inert gas of N₂ grade completely after loading termination, the approach of raising the

temperature of a reaction chamber to membrane formation temperature etc. may be used.

[0048] (2) This invention is applicable not only to patterning of electrode layers, such as a gate electrode layer, but patterning of a wiring layer.

[0049] (3) This invention is applicable not only to the selective oxidation of amorphous silicon material but the selective oxidation of single-crystal-silicon material or polish recon material.

[0050]

[Effect of the Invention] As mentioned above, since according to this invention silicon material was inserted in the reaction chamber in the selective oxidation method which oxidizes silicon material alternatively by using a silicon nitride as a mask on the conditions on which the thermal oxidation film does not grow up to be the front face of silicon material when forming a silicon nitride using a reduced pressure type heat CVD system, the effectiveness which can control generating of a BAZU beak to zero mostly by low cost is acquired.

[0051] Moreover, since patterning of the silicon layer was carried out by having used as the mask the silicon oxide formed by the selective oxidation method of this invention and the electrode or the wiring layer was formed, the effectiveness that an electrode or the wiring formation yield improves is also acquired.

[0052] Furthermore, since the 2nd silicon oxide was formed in the side-attachment-wall section of the 1st gate electrode layer, the 1st and 2nd silicon oxide and gate dielectric film were covered and the 2nd gate electrode layer was formed while carrying out patterning of the amorphous silicon layer by having used as the mask the 1st silicon oxide formed by the selective oxidation method of this invention and forming the 1st gate electrode layer, the effectiveness that the manufacture yield of EEPROM improves is also acquired.

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the substrate sectional view showing the selective etching process of the silicon nitride in the process of EEPROM concerning 1 operation gestalt of this invention.

[Drawing 2] It is the substrate sectional view showing the selective oxidation process of the amorphous silicon layer following the process of drawing 1 .

[Drawing 3] It is the substrate sectional view showing the selective etching process of the amorphous silicon layer following the process of drawing 2 .

[Drawing 4] It is the substrate sectional view showing the oxidation process on the gate electrode layer side-attachment-wall section following the process of drawing 3 , and the front face of a substrate.

[Drawing 5] It is the substrate sectional view showing the half ASHINGU process of the resist layer following the process of drawing 4 .

[Drawing 6] It is the substrate sectional view showing the connection hole formation process following the process of drawing 5 .

[Drawing 7] It is the substrate sectional view showing the polish recon deposition process and resist layer formation process following the process of drawing 6 .

[Drawing 8] It is the substrate sectional view showing the selective etching process of the polish recon layer following the process of drawing 7 .

[Drawing 9] It is the substrate sectional view showing the source drain formation process following the process of drawing 8 .

[Drawing 10] It is the sectional view showing the vertical mold reduced pressure type heat CVD system used for implementation of this invention.

[Drawing 11] It is the graph which shows a boat load rate for the relation of the wafer location and boat load time in the equipment of drawing 10 as a parameter.

[Drawing 12] It is the graph which shows the example of a setting of whenever [stoving temperature / at the time of the boat load in the equipment of drawing 10].

[Drawing 13] It is the substrate sectional view showing the selective etching process of the silicon nitride in the process of the conventional EEPROM.

[Drawing 14] It is the substrate sectional view showing the selective oxidation process of the amorphous silicon layer following the process of drawing 13 .

[Drawing 15] It is the substrate sectional view showing the selective etching process of the amorphous silicon layer following the process of drawing 14 .

[Drawing 16] It is the substrate sectional view showing the oxidation process on the electrode layer side-attachment-wall section following the process of drawing 15 , and the front face of a substrate.

[Drawing 17] It is the substrate sectional view showing the gate electrode layer formation process following the process of drawing 16 .

[Description of Notations]

A semi-conductor substrate, 12, 12a, 12b, 20a-20d, 20A-20C : 10: An insulator layer, 14: An amorphous silicon layer, 14A, 14B, 28A, 28B : A gate electrode layer, 16: A silicon nitride, 18A, 18B:silicon oxide, 22, 22A-22C, 24, 30A, 30B : A resist layer, 26: A connection hole, 28:polish

recon layer, D:drain field, S : A source field, C: A capacity formation field, 40:inner tube, 42:outer tube, 44:flange, 46:heater, RC:reaction chamber, 50:support arm, 52:lid, 56:wafer boat, WU, WC, WL: Wafer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64092

(P2002-64092A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 1 L	21/316	H 0 1 L 21/316	S	5 F 0 0 1
	21/8247	27/10	4 3 4	5 F 0 5 8
	27/115	29/78	3 7 1	5 F 0 8 3
	29/788			
	29/792			

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2000-250048 (P2000-250048)

(22) 出願日 平成12年8月21日 (2000.8.21)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 鈴木 民人

鹿児島県始良郡栗野町北方1800番地ヤマハ

鹿児島セミコンダクタ株式会社内

(72) 発明者 竹中 誠

鹿児島県始良郡栗野町北方1800番地ヤマハ

鹿児島セミコンダクタ株式会社内

(74) 代理人 100075074

弁理士 伊沢 敏昭

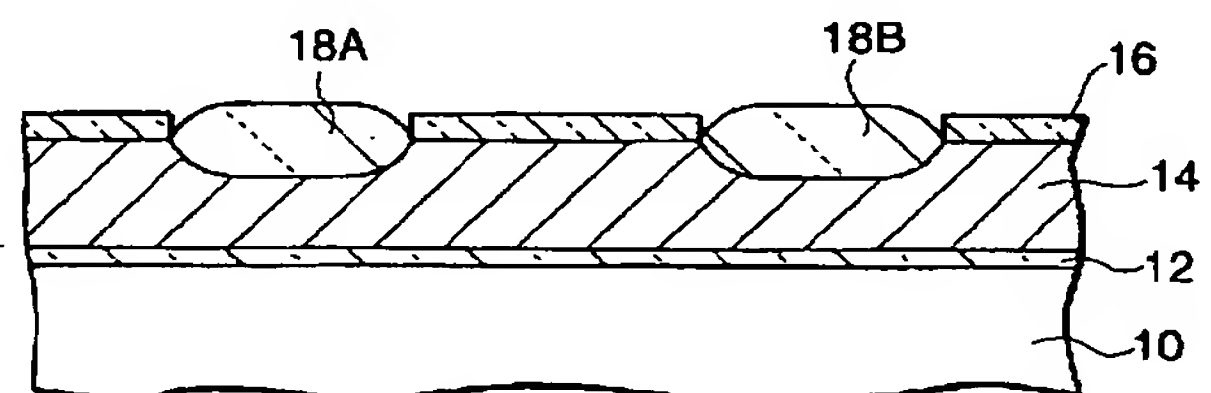
最終頁に続く

(54) 【発明の名称】 選択酸化法と半導体装置の製法

(57) 【要約】

【課題】 選択酸化法において、バースビークの発生を抑制する。

【解決手段】 縦型減圧式熱CVD装置を用いてアモルファスシリコン層14の表面にシリコン窒化膜16を形成する。熱CVD装置の反応室内に半導体基板10を挿入する際にアモルファスシリコン層14の表面に粗悪な熱酸化膜が成長しないように挿入速度を300~600 [mm/min] と速くしたり、挿入の際の加熱温度を400~600 [°C] と低くしたりする。シリコン窒化膜16にゲート電極パターンに対応した孔を形成した後、シリコン窒化膜16をマスクとしてアモルファスシリコン層14の表面を選択酸化する。この結果、バースビークが殆どないシリコン酸化膜18A, 18Bが得られる。選択酸化する材料は、単結晶シリコン又はポリシリコンであってもよい。



18A, 18B: シリコン酸化膜

【特許請求の範囲】

【請求項 1】 減圧式熱 CVD 装置を用いてシリコン材の表面にシリコン窒化膜を形成する工程であって、前記熱 CVD 装置の反応室内に前記シリコン材を挿入する際に前記シリコン材の表面に熱酸化膜が成長しない条件で挿入を行うものと、

前記シリコン窒化膜に所定のパターンに対応した孔を形成する工程と、

前記孔を形成した後、前記シリコン窒化膜をマスクとして前記シリコン材の表面を選択酸化して前記孔に対応したパターンを有するシリコン酸化膜を形成する工程とを含む選択酸化法。

【請求項 2】 前記熱 CVD 装置として、前記反応室の下方開口部を介して上方に前記シリコン材を挿入する縦型のものを用いると共に、前記熱酸化膜が成長しない条件の 1 つとして、前記シリコン材の挿入速度を 300～600 [mm/min] の範囲内に設定することを特徴とする請求項 1 記載の選択酸化法。

【請求項 3】 前記熱 CVD 装置として、前記反応室の下方開口部を介して上方に前記シリコン材を挿入する縦型のものを用いると共に、前記熱酸化膜が成長しない条件の 1 つとして、前記反応室の加熱温度を 400～600 [°C] の範囲内に設定することを特徴とする請求項 1 記載の選択酸化法。

【請求項 4】 半導体基板の表面に絶縁膜を介してシリコン層を形成する工程と、

減圧式熱 CVD 装置を用いて前記シリコン層の表面にシリコン窒化膜を形成する工程であって、前記熱 CVD 装置の反応室内に前記半導体基板を挿入する際に前記シリコン層の表面に熱酸化膜が成長しない条件で挿入を行なうものと、

前記シリコン窒化膜に所定の電極又は配線パターンに対応した孔を形成する工程と、

前記孔を形成した後、前記シリコン窒化膜をマスクとして前記シリコン層の表面を選択酸化して前記孔に対応したパターンを有するシリコン酸化膜を形成する工程と、

前記シリコン窒化膜を除去した後、前記シリコン酸化膜をマスクとして前記シリコン層を選択的にドライエッチングすることにより前記シリコン層の残存部からなる電極又は配線層を形成する工程とを含む半導体装置の製法。

【請求項 5】 半導体基板の表面にゲート電極絶縁用の絶縁膜を介してゲート電極形成用のアモルファスシリコン層を形成する工程と、

減圧式熱 CVD 装置を用いて前記アモルファスシリコン層の表面にシリコン窒化膜を形成する工程であって、前記熱 CVD 装置の反応室内に前記半導体基板を挿入する際に前記アモルファスシリコン層の表面に熱酸化膜が成長しない条件で挿入を行なうものと、

前記シリコン窒化膜に所定のゲート電極パターンに対応

した孔を形成する工程と、

前記孔を形成した後、前記シリコン窒化膜をマスクとして前記アモルファスシリコン層の表面を選択酸化して前記孔に対応したパターンを有する第 1 のシリコン酸化膜を形成する工程と、

前記シリコン窒化膜を除去した後、前記第 1 のシリコン酸化膜をマスクとして前記アモルファスシリコン層を選択的にドライエッチングすることにより前記アモルファスシリコン層の残存部からなる第 1 のゲート電極層を形成する工程と、

前記第 1 のゲート電極層の少なくとも一方の側壁部を酸化して該一方の側壁部を覆う第 2 のシリコン酸化膜を形成する工程と、

前記第 1 のゲート電極層との間にトンネル電流を流すための第 2 のゲート電極層を前記第 1 及び第 2 のシリコン酸化膜と前記絶縁膜とを覆うように形成する工程とを含む半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、シリコン窒化膜（窒化シリコン膜）をマスクとしてシリコン材を選択的に酸化する方法と、この選択酸化法を用いる半導体装置の製法とに関し、特に減圧式熱 CVD（ケミカル・ベーパー・デポジション）装置を用いてシリコン窒化膜を形成する際にシリコン材の表面に熱酸化膜が成長しない条件でシリコン材を反応室に挿入することによりバースビークの発生を抑制したものである。

【0002】

【従来の技術】 従来、EEPROM（電氣的に消去・プログラム可能なリード・オンリ・メモリ）の製法としては、図 13～15 に示すように選択酸化法で形成したシリコン酸化膜（酸化シリコン膜）をマスクとしてアモルファスシリコン層を選択的にエッチングして 1 層目のゲート電極層を形成するものが提案されている。

【0003】 図 13 の工程では、シリコン基板 1 の表面にシリコン酸化膜からなるゲート絶縁膜 2 を介してアモルファスシリコン層 3 を形成する。アモルファスシリコン層 3 は、ゲート電極形成用のもので、リン等の導電型決定不純物をドーピングすることにより低抵抗化されている。アモルファスシリコン層 3 の表面にシリコン窒化膜 4 を形成した後、シリコン窒化膜 4 には、選択エッチング処理によりゲート電極パターンに対応した孔 4a を形成する。

【0004】 図 14 の工程では、シリコン窒化膜 4 をマスクとしてアモルファスシリコン層 3 の表面を選択的に酸化することにより孔 4a に対応したパターンを有するシリコン酸化膜 5 を形成する。この後、シリコン窒化膜 4 を除去する。

【0005】 図 15 の工程では、シリコン酸化膜 5 をマスクとする異方性エッチング処理によりポリシリコン層

3を選択的に除去してアモルファスシリコン層3の残存部3Aからなる1層目のゲート電極層を形成する。

【0006】図16の工程では、酸化処理によりゲート電極層3Aの側壁部にシリコン酸化膜6a, 6bを形成すると共に基板表面にシリコン酸化膜6A, 6Bを形成する。シリコン酸化膜6A, 6Bは、基板表面においてゲート電極層3Aに覆われない部分に存在したゲート絶縁膜（シリコン酸化膜）が厚くなったものであり、ゲート電極層3Aの直下のゲート絶縁膜2に連続して形成される。

【0007】図17の工程では、基板上面に被着された低抵抗ポリシリコン層をパターニングすることによりシリコン酸化膜5, 6a, 6Aを覆うように2層目のゲート電極層7を形成する。ゲート電極層7は、ゲート電極層3Aとの間にトンネル電流を流すためのものである。

【0008】従来、シリコン基板の表面を選択酸化して素子間分離用のシリコン酸化膜を形成する技術としては、シリコン基板の表面にプラズマCVD法により被着した緻密なシリコン窒化膜（又は窒素イオンを注入した緻密なシリコン窒化膜）を選択酸化用のマスクとして用いるSILCO (Seald Interface Local Oxidation) 法が知られている。図13, 14の工程では、SILCO法を用いることも可能である。

【0009】

【発明が解決しようとする課題】図13～17に関して前述した従来技術によると、図13, 14の選択酸化工程において、孔4aの周辺部でシリコン窒化膜4の下にシリコン酸化膜5に連続してシリコン酸化膜からなるバズビーク5a, 5bが成長する。

【0010】バズビーク5a, 5bは、シリコン酸化膜5の寸法を孔4aの寸法より大きくするので、微細化の妨げになる。その上、図15の選択エッチング工程では、エッチングマスクとしてのバズビーク5a, 5bがエッチングされるため、アモルファスシリコン層3のパターニング精度が低下し、ゲート電極層3Aの寸法が破線a, bで示す位置から内側で変動する。このため、図17に示したようにゲート電極層7を形成すると、トンネル電圧-電流特性のばらつきが大きく、歩留りの低下を招く。

【0011】図13, 14の選択酸化工程において前述のSILCO法を用いても、バズビークをほぼゼロに抑制することができない。また、プラズマCVD法やイオン注入法を用いると、高価な設備を追加する必要がある、コスト高となる。

【0012】この発明の目的は、高価な設備を用いることなくバズビークの発生をほぼゼロに抑制することができる新規な選択酸化法及び半導体装置の製法を提供することにある。

【0013】

【課題を解決するための手段】この発明に係る選択酸化

法は、減圧式熱CVD装置を用いてシリコン材の表面にシリコン窒化膜を形成する工程であって、前記熱CVD装置の反応室内に前記シリコン材を挿入する際に前記シリコン材の表面に熱酸化膜が成長しない条件で挿入を行うものと、前記シリコン窒化膜に所定のパターンに対応した孔を形成する工程と、前記孔を形成した後、前記シリコン窒化膜をマスクとして前記シリコン材の表面を選択酸化して前記孔に対応したパターンを有するシリコン酸化膜を形成する工程とを含むものである。

10 【0014】この発明の選択酸化法によれば、コンベンショナルな減圧式熱CVD装置を用いるので、高価な設備を必要とせず、コスト低減が可能となる。また、熱CVD装置の反応室内にシリコン材を挿入する際にシリコン材の表面に熱酸化膜が成長しない条件で挿入を行なうので、バズビークの発生をほぼゼロに抑制することができる。

【0015】この発明の選択酸化法にあつては、熱CVD装置として、反応室の下方開口部を介して上方にシリコン材を挿入する縦型のものを用いると共に、熱酸化膜が成長しない条件の1つとして、シリコン材の挿入速度を300～600 [mm/min]の範囲内に設定したり、挿入中の反応室の加熱温度を400～600 [°C]の範囲内に設定したりしてもよい。このようにすると、生産性を低下させることなくバズビークの発生を抑制することができる。

【0016】この発明に係る第1の半導体装置の製法は、半導体基板の表面に絶縁膜を介してシリコン層を形成する工程と、減圧式熱CVD装置を用いて前記シリコン層の表面にシリコン窒化膜を形成する工程であって、前記熱CVD装置の反応室内に前記半導体基板を挿入する際に前記シリコン層の表面に熱酸化膜が成長しない条件で挿入を行なうものと、前記シリコン窒化膜に所定の電極又は配線パターンに対応した孔を形成する工程と、前記孔を形成した後、前記シリコン窒化膜をマスクとして前記シリコン層の表面を選択酸化して前記孔に対応したパターンを有するシリコン酸化膜を形成する工程と、前記シリコン窒化膜を除去した後、前記シリコン酸化膜をマスクとして前記シリコン層を選択的にドライエッチングすることにより前記シリコン層の残存部からなる電極又は配線層を形成する工程とを含むものである。

【0017】この発明の第1の半導体装置の製法によれば、この発明の選択酸化法を用いるので、コスト低減が可能になるとともにバズビークの発生をほぼゼロに抑制することができる。その上、バズビークのないシリコン酸化膜をマスクとしてシリコン層をドライエッチングするので、シリコン層のパターニング精度が向上し、電極又は配線層の寸法のばらつきを低減することができる。

【0018】この発明に係る第2の半導体装置の製法は、半導体基板の表面にゲート電極絶縁用の絶縁膜を介

してゲート電極形成用のアモルファスシリコン層を形成する工程と、減圧式熱CVD装置を用いて前記アモルファスシリコン層の表面にシリコン窒化膜を形成する工程であって、前記熱CVD装置の反応室内に前記半導体基板を挿入する際に前記アモルファスシリコン層の表面に熱酸化膜が成長しない条件で挿入を行なうものと、前記シリコン窒化膜に所定のゲート電極パターンに対応した孔を形成する工程と、前記孔を形成した後、前記シリコン窒化膜をマスクとして前記アモルファスシリコン層の表面を選択酸化して前記孔に対応したパターンを有する第1のシリコン酸化膜を形成する工程と、前記シリコン窒化膜を除去した後、前記第1のシリコン酸化膜をマスクとして前記アモルファスシリコン層を選択的にドライエッチングすることにより前記アモルファスシリコン層の残存部からなる第1のゲート電極層を形成する工程と、前記第1のゲート電極層の少なくとも一方の側壁部を酸化して該一方の側壁部を覆う第2のシリコン酸化膜を形成する工程と、前記第1のゲート電極層との間にトンネル電流を流すための第2のゲート電極層を前記第1及び第2のシリコン酸化膜と前記絶縁膜とを覆うように形成する工程とを含むものである。

【0019】この発明の第2の半導体装置の製法によれば、この発明の選択酸化法を用いるので、コスト低減が可能になると共にバズビークの発生をほぼゼロに抑制することができる。また、バズビークのないシリコン酸化膜をマスクとしてアモルファスシリコン層をドライエッチングするので、アモルファスシリコン層のパターニング精度が向上し、第1のゲート電極層の寸法や形状のばらつきを低減することができ、特に電気特性を左右するゲート電極層肩部の角型形状が安定する。このため、第1及び第2のゲート電極層に関するトンネル電圧-電流特性のばらつきを低減することができる。

【0020】

【発明の実施の形態】図1～9は、この発明の一実施形態に係るEEPROMの製法を示すもので、各々の図に対応する工程(1)～(9)を順次に説明する。

【0021】(1)例えばシリコンからなる半導体基板10の表面には、熱酸化法等によりシリコン酸化膜からなるゲート電極絶縁用の絶縁膜12を形成する。絶縁膜12の厚さは、一例として100～200[Å]とすることができる。絶縁膜12の上には、CVD法によりアモルファスシリコン層14を形成する。アモルファスシリコン層14は、ゲート電極形成用のものであり、堆積中又は堆積後にリン等の導電型決定不純物をドーピングすることにより低抵抗化される。アモルファスシリコン層14の厚さは、一例として2500～3500[Å]とすることができる。

【0022】次に、減圧式熱CVD装置を用いてアモルファスシリコン層14の表面にシリコン窒化膜16を形成する。シリコン窒化膜16は、図2の選択酸化処理に

おいて酸化マスクとして用いられるもので、一例として300～700[Å]の厚さに形成される。熱CVD装置の反応室に被処理ウエハとしての基板10を挿入する際にアモルファスシリコン層14の表面に粗悪な熱酸化膜(50[Å]又はそれ以下の厚さのシリコン酸化膜)が成長しない条件で挿入を行なうことによりアモルファスシリコン層14とシリコン窒化膜16との間には熱酸化膜が存在しない構成とする。シリコン窒化膜16の具体的な形成処理については、図10を参照して後述する。この後、周知の選択エッチング(ホトリソグラフィ及びドライエッチング)処理によりシリコン窒化膜16に各々ゲート電極パターンに対応した孔16a、16bを形成する。

【0023】(2)孔16a、16bを有するシリコン窒化膜16をマスクとしてアモルファスシリコン層14の表面を選択酸化することにより孔16a、16bにそれぞれ対応したパターンを有するシリコン酸化膜18A、18Bを形成する。シリコン酸化膜18A、18Bの厚さは、いずれも一例として1250～1750

[Å]とすることができる。図1の工程でアモルファスシリコン層14とシリコン窒化膜16との間に熱酸化膜が存在しない構成としたので、シリコン酸化膜18A、18Bについてはバズビークの発生が殆ど認められなかった。この後、エッチング処理によりシリコン窒化膜16を除去する。

【0024】(3)シリコン酸化膜18A、18Bをマスクとする異方性のドライエッチング処理によりアモルファスシリコン層14を選択的に除去してアモルファスシリコン層14の残存部からなるゲート電極層14A、14Bを形成する。シリコン酸化膜18A、18Bにバズビークがないので、アモルファスシリコン層14のパターニング精度が向上し、ゲート電極層14A、14Bの寸法や形状のばらつきが低減される。

【0025】(4)熱酸化法によりいずれもシリコン酸化膜からなる絶縁膜20A～20C、20a～20dを形成する。絶縁膜20A及び20Bは、基板表面においてゲート電極層14Aの一方側及び他方側にそれぞれ形成されるもので、電極層14Aの直下のゲート絶縁膜12aに連続してそれより厚く形成される。絶縁膜20Cは、基板表面においてゲート電極層14Bに関して絶縁膜20Bとは反対側に形成されるもので、電極層14Bの直下のゲート絶縁膜12bに連続してそれより厚く形成される。絶縁膜18Bは、ゲート絶縁膜12bに連続してそれより厚く形成される。絶縁膜20A～20Cの厚さは、いずれも一例として300～500[Å]とすることができる。

【0026】絶縁膜20a及び20bは、ゲート電極層14Aの一方及び他方の側壁部にそれぞれ形成されるもので、絶縁膜20aは、絶縁膜20A及びシリコン酸化膜18Aに連続して形成され、絶縁膜20bは、絶縁膜

20B及びシリコン酸化膜18Aに連続して形成される。絶縁膜20c, 20dは、ゲート電極層14Bの一方及び他方の側壁部にそれぞれ形成されるもので、絶縁膜20cは、絶縁膜20B及びシリコン酸化膜18Bに連続して形成され、絶縁膜20dは、絶縁膜20C及びシリコン酸化膜18Bに連続して形成される。絶縁膜20a~20dの厚さは、いずれも一例として300~400[Å]とすることができる。なお、絶縁膜20A~20C, 20a~20dは、減圧式熱CVD法によって形成してもよく、あるいは熱酸化法及び減圧式熱CVD法によって形成してもよい。

【0027】(5) 基板上面に回転塗布法等によりレジスト層22を形成する。レジスト層22は、ゲート電極層14A及びシリコン酸化膜18Aに基づく段差より厚く形成する。そして、ハーフアッシング(又はハーフエッチング)処理によりレジスト層22をシリコン酸化膜18A, 18Bの各肩部が露呈するまで薄くすることにより絶縁膜20A, 20B, 20Cの上にそれぞれレジスト層22A, 22B, 22Cを残存させる。

【0028】(6) シリコン酸化膜18Aの肩部とその近傍のレジスト層22Bの一部とを露呈する孔24aを有するレジスト層24をホトリソグラフィ処理により基板上面に形成する。レジスト層22Bとレジスト層24との間には、シリコン酸化膜18Aの肩部に対応する開口部が定められる。

【0029】次に、レジスト層24, 22Bをマスクとし且つエッチャントとしてHFを用いる等方性のウェットエッチング処理によりシリコン酸化膜18A及び絶縁膜20bを選択的に除去してゲート電極層14Aの肩部を露呈する接続孔26を形成する。この後、アッシング処理等によりレジスト層24, 22A~22Cを除去する。

【0030】(7) 基板上面に例えばCVD法等により低抵抗のポリシリコン層28を形成する。ポリシリコン層28は、シリコン酸化膜18A, 18B及び絶縁膜20A~20C, 20a~20dを覆い且つ接続孔26を介してゲート電極層14Aに接続されるように形成する。換言すれば、ポリシリコン層28は、ゲート電極層14Aとの接続部以外の部分では、シリコン酸化膜18A, 18B及び絶縁膜20A~20C, 20a~20dにより基板10及びゲート電極層14A, 14Bから絶縁されている。

【0031】次に、ホトリソグラフィ処理によりポリシリコン層28の上にレジスト層30A, 30Bを形成する。レジスト層30Aは、ワード線としてのゲート電極層に対応するパターンで形成し、レジスト層30Bは、1層目のゲート電極層14Aと共にフローティングゲート電極を構成する2層目のゲート電極層に対応するパターンで形成する。

【0032】(8) レジスト層30A, 30Bをマスク

とする異方性のドライエッチング処理によりポリシリコン層28を選択的に除去してポリシリコン層28A, 28Bをゲート電極層として残存させる。ゲート電極層28Aは、ワード線として使用される。ゲート電極層28Bは、接続孔26(図6)を介してゲート電極層14Aに接続され、ゲート電極層14Aと共にフローティングゲート電極を構成する。

【0033】(9) ゲート電極層28A, 28Bを形成した後、基板表面には、選択的イオン注入処理によりソース領域S及びドレイン領域Dを形成する。基板10をP型とした場合、領域S, DはいずれもN⁺型とする。ソース領域S及びドレイン領域Dは、それぞれ接地線及びビット線として使用される。ゲート電極層14Aの下方の基板表面には、例えば図1の工程でシリコン窒化膜16に形成した孔16aを介しての選択的イオン注入処理によりN⁻型の容量形成領域Cを形成してもよい。容量形成領域Cは、絶縁膜12a及びゲート電極層14Aと共に結合容量を形成する。

【0034】情報の書込みは、ゲート電極層14Bからフローティングゲート電極14A, 28Bにトンネル効果により電子を注入することにより行なわれ、ゲート電極層28Bの下方のチャンネル領域はオフ状態となる。情報の消去は、フローティングゲート電極14A, 28Bからゲート電極層28Aにトンネル効果により電子を放出させることにより行なわれ、ゲート電極層28Bの下方のチャンネル領域はオン状態となる。このようなEEPROMの動作の詳細については、特許第2512181号公報に記載されているので、説明を省略する。

【0035】上記したEEPROMの製法によれば、図3の工程で寸法や形状のばらつきが少なく且つ肩部の角型形状が安定したゲート電極層14A, 14Bが得られるので、図8に示したようにゲート電極層28A, 28Bを形成すると、14A-28A間及び14B-28B間のいずれのゲート電極層間についてもトンネル電圧-電流特性のばらつきが低減され、EEPROMの製造歩留りが向上する。

【0036】図10は、この発明の実施に用いられる縦型減圧式熱CVD装置を示すものである。

【0037】石英からなるインナーチューブ40を覆うように石英からなるアウターチューブ42が配置されており、アウターチューブ42の上端はドーム状に閉じられている。インナーチューブ40の下端とアウターチューブ42の下端とは、フランジ44により連結されており、インナーチューブ40、アウターチューブ42及びフランジ44は、円筒状に上方に伸びるガス流路GSを形成している。インナーチューブ40及びアウターチューブ42は、反応室RCを構成し、フランジ44は、反応室RCの下方開口部LOを形成している。

【0038】アウターチューブ42の周囲には、抵抗加熱式のヒータ46が設けられている。ヒータ46は、5

分割形式のもので、下方ヒータ H_L と、中下方ヒータ H_{CL} と、中央ヒータ H_C と、中上方ヒータ H_{CU} と、上方ヒータ H_U とからなっている。

【0039】反応室 RC の下方開口部 LO には、開閉自在のシャッタ 48 が設けられている。シャッタ 48 を開けた状態では、支持アーム 50 で支持された蓋体 52 の上のウエハポート 56 を反応室 RC 内へ挿入（ロード）することができる。ウエハポート 56 には、多数枚の被処理ウエハ（前述の半導体基板 10 に相当するもの）がセットされ、これらのウエハのうち上方位置、中央位置、下方位置にセットされたウエハをそれぞれ W_U , W_C , W_L とする。

【0040】ウエハポート 56 のローディングに際しては、反応室 RC 内に破線矢印で示すように N_2 ガスを流す。 N_2 ガスは、反応室 RC の下部から排気される。支持アーム 50 を矢印 A 方向に駆動することによりウエハポート 56 を反応室 RC の下方開口部 LO を介して上方に挿入する。そして、蓋体 52 を O （オー）リング 54 を介してフランジ 44 の下面に押圧した状態で下方開口部 LO を閉じる。このような状態において、供給ガスを所定の反応ガスに切換えると共にヒータ 46 による加熱温度を所定値に設定することにより CVD 処理を行なう。

【0041】通常、シリコン窒化膜の形成は、750～800 [°C] の温度域で行なわれる。この場合、ポートロード速度は、80～200 [mm/min] の範囲内に設定され、ポートローディング時の反応室 RC の加熱温度は、620～730 [°C] の範囲内に設定される。このような条件で形成されたシリコン窒化膜を酸化マスクとして用いて図 14 で述べたように選択酸化処理を行なうと、シリコン酸化膜 5 の端部にバズピーク 5a , 5b が生ずる。

【0042】発明者の研究によれば、バズピークが発生する原因は、加熱されたウエハ上のシリコン材の表面がポートローディング時に反応室 RC 内に矢印 B で示すように巻き込まれた大気と、 N_2 による置換がうまくいかずにウエハ間に残留している大気とに接触することによりシリコン材の表面に粗悪な熱酸化膜が成長することにあると考えられる。

【0043】図 11 は、ポートロード速度をパラメータとしてウエハ位置 W_L , W_C , W_U とポートロード時間との関係を示すもので、曲線 P_1 , P_2 , P_3 , P_4 は、それぞれポートロード速度 100 , 150 , 300 , 500 [mm/min] に対応する。反応室 RC の加熱温度は、710 [°C] 近辺であった。破線のハッチングを付した領域 P_s は、バズピークの発生が抑制される領域を示し、矢印 P_a は、バズピークの発生が抑制される方向を示す。ポートロード速度は 300 [mm/min] 以上でないと、再現性が良好でなかった。シリコン材の表面に熱酸化膜が成長しない条件の 1 つとし

て、ポートロード速度を 300～600 [mm/min] の範囲内に設定するのが好ましい。このようにポートロード速度を速くすると、加熱されたウエハ上のシリコン材の表面が大気と共存する時間を短縮することができ、熱酸化膜の成長を防止することができる。

【0044】図 12 は、ポートロード時の反応室 RC の加熱温度の設定例を示すもので、曲線 Q_1 , Q_2 は、いずれもヒータ位置 H_L , H_{CL} , H_C , H_{CU} , H_U に対応した設定温度を示す。破線のハッチングを付した領域 Q_s は、バズピークの発生が抑制される領域を示し、矢印 Q_a は、バズピークの発生が抑制される方向を示す。シリコン材の表面に熱酸化膜が成長しない条件の 1 つとして、反応室 RC の加熱温度を 400～600 [°C] の範囲内に設定するのが好ましい。このように加熱温度を低くすると、シリコン材と大気中の酸素との反応を抑制することができ、熱酸化膜の成長を防止することができる。

【0045】上記したポートロード速度 300～600 [mm/min] の条件と加熱温度 400～600 [°C] の条件とを併用すれば、シリコン材表面での熱酸化膜の成長を一層確実に防止することができる。

【0046】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、次のような変更が可能である。

【0047】（1）シリコン窒化膜を形成する際にシリコン材の表面に熱酸化膜が成長するのを防止するためには、（a）熱 CVD 装置にロードロック機構を付加し、被処理ウエハ（基板）が大気と遮断された状態でローディングを行なう方法又は（b）ローディング時の反応室の温度を室温にし、ローディング終了後に反応室内の雰囲気完全に N_2 等の不活性ガスに置換した後、反応室の温度を成膜温度まで上昇させる方法等を用いてもよい。

【0048】（2）この発明は、ゲート電極層等の電極層のパターニングに限らず、配線層のパターニングにも適用することができる。

【0049】（3）この発明は、アモルファスシリコン材の選択酸化に限らず、単結晶シリコン材又はポリシリコン材の選択酸化にも適用することができる。

【0050】

【発明の効果】以上のように、この発明によれば、シリコン窒化膜をマスクとしてシリコン材を選択的に酸化する選択酸化法において、減圧式熱 CVD 装置を用いてシリコン窒化膜を形成する際にシリコン材の表面に熱酸化膜が成長しない条件でシリコン材を反応室に挿入するようにしたので、低コストでバズピークの発生をほぼゼロに抑制できる効果が得られる。

【0051】また、この発明の選択酸化法で形成したシリコン酸化膜をマスクとしてシリコン層をパターニングして電極又は配線層を形成したので、電極又は配線形成

歩留りが向上する効果も得られる。

【0052】さらに、この発明の選択酸化法で形成した第1のシリコン酸化膜をマスクとしてアモルファスシリコン層をパターニングして第1のゲート電極層を形成すると共に第1のゲート電極層の側壁部に第2のシリコン酸化膜を形成し、第1及び第2のシリコン酸化膜とゲート絶縁膜とを覆って第2のゲート電極層を形成したので、EEPROMの製造歩留りが向上する効果も得られる。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係るEEPROMの製法におけるシリコン窒化膜の選択エッチング工程を示す基板断面図である。

【図2】 図1の工程に続くアモルファスシリコン層の選択酸化工程を示す基板断面図である。

【図3】 図2の工程に続くアモルファスシリコン層の選択エッチング工程を示す基板断面図である。

【図4】 図3の工程に続くゲート電極層側壁部及び基板表面の酸化工程を示す基板断面図である。

【図5】 図4の工程に続くレジスト層のハーフアッシング工程を示す基板断面図である。

【図6】 図5の工程に続く接続孔形成工程を示す基板断面図である。

【図7】 図6の工程に続くポリシリコン堆積工程及びレジスト層形成工程を示す基板断面図である。

【図8】 図7の工程に続くポリシリコン層の選択エッチング工程を示す基板断面図である。

【図9】 図8の工程に続くソース・ドレイン形成工程を示す基板断面図である。

【図10】 この発明の実施に用いられる縦型減圧式熱*

* CVD装置を示す断面図である。

【図11】 図10の装置におけるウエハ位置とポートロード時間との関係をポートロード速度をパラメータとして示すグラフである。

【図12】 図10の装置におけるポートロード時の加熱温度の設定例を示すグラフである。

【図13】 従来のEEPROMの製法におけるシリコン窒化膜の選択エッチング工程を示す基板断面図である。

10 【図14】 図13の工程に続くアモルファスシリコン層の選択酸化工程を示す基板断面図である。

【図15】 図14の工程に続くアモルファスシリコン層の選択エッチング工程を示す基板断面図である。

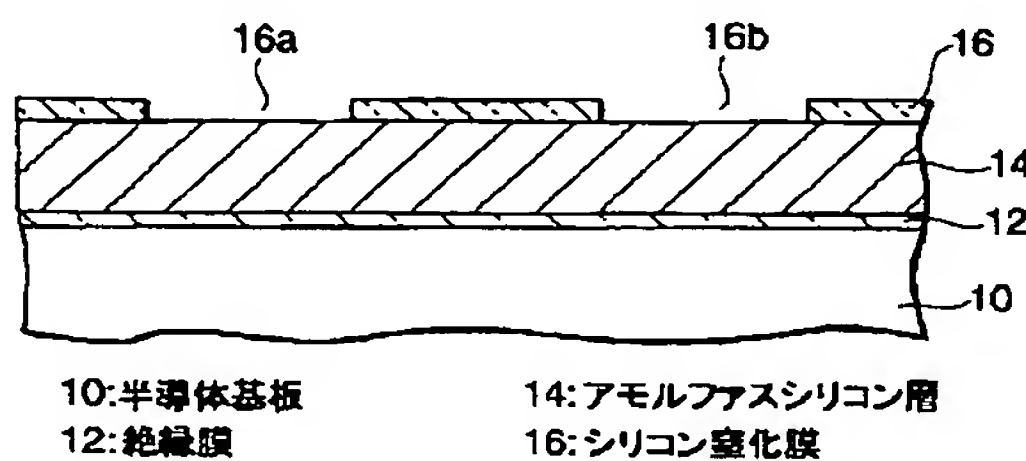
【図16】 図15の工程に続く電極層側壁部及び基板表面の酸化工程を示す基板断面図である。

【図17】 図16の工程に続くゲート電極層形成工程を示す基板断面図である。

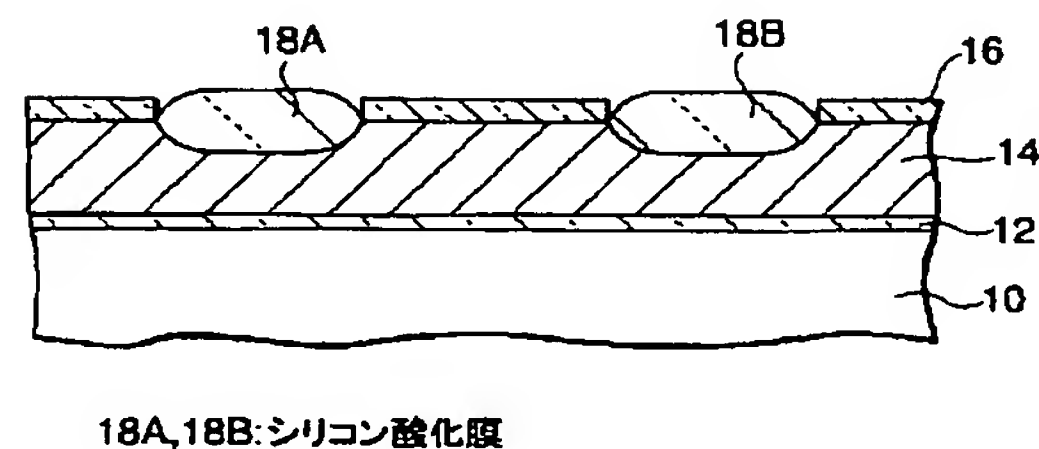
【符号の説明】

10：半導体基板、12、12a、12b、20a～20d、20A～20C：絶縁膜、14：アモルファスシリコン層、14A、14B、28A、28B：ゲート電極層、16：シリコン窒化膜、18A、18B：シリコン酸化膜、22、22A～22C、24、30A、30B：レジスト層、26：接続孔、28：ポリシリコン層、D：ドレイン領域、S：ソース領域、C：容量形成領域、40：インナーチューブ、42：アウターチューブ、44：フランジ、46：ヒータ、RC：反応室、50：支持アーム、52：蓋体、56：ウエハポート、W_u、W_c、W_L：ウエハ。

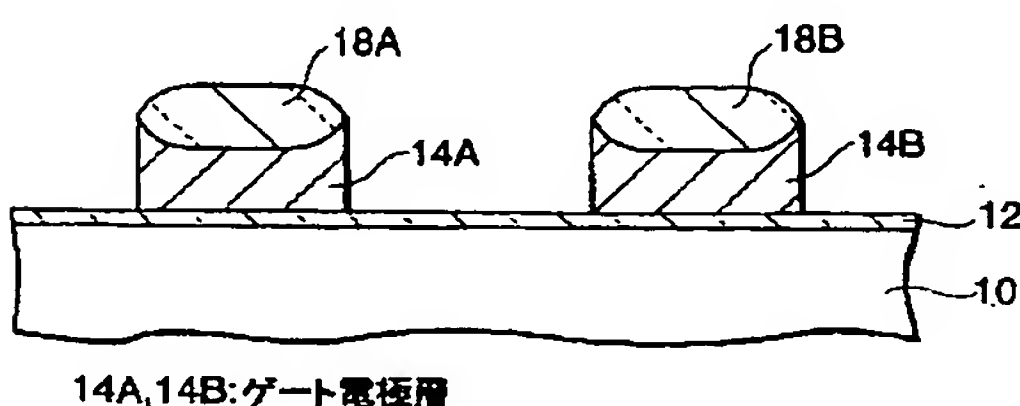
【図1】



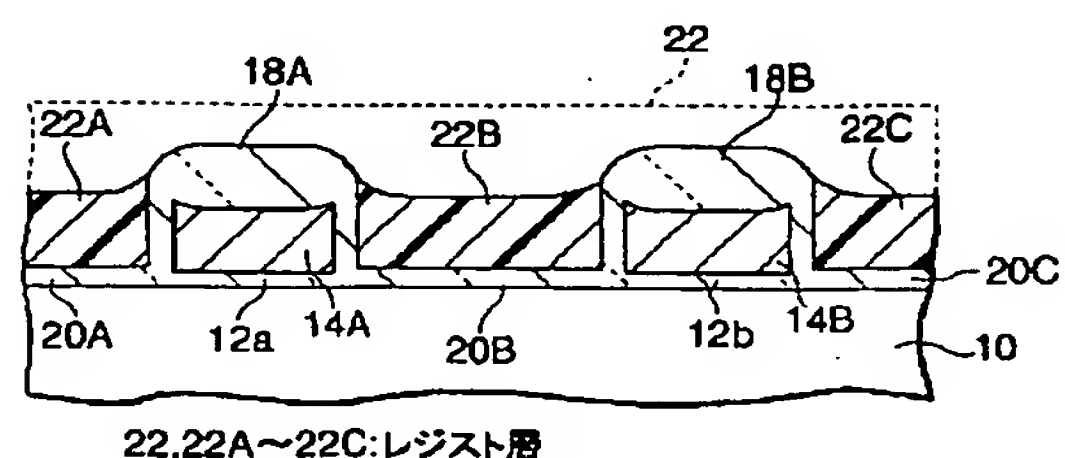
【図2】



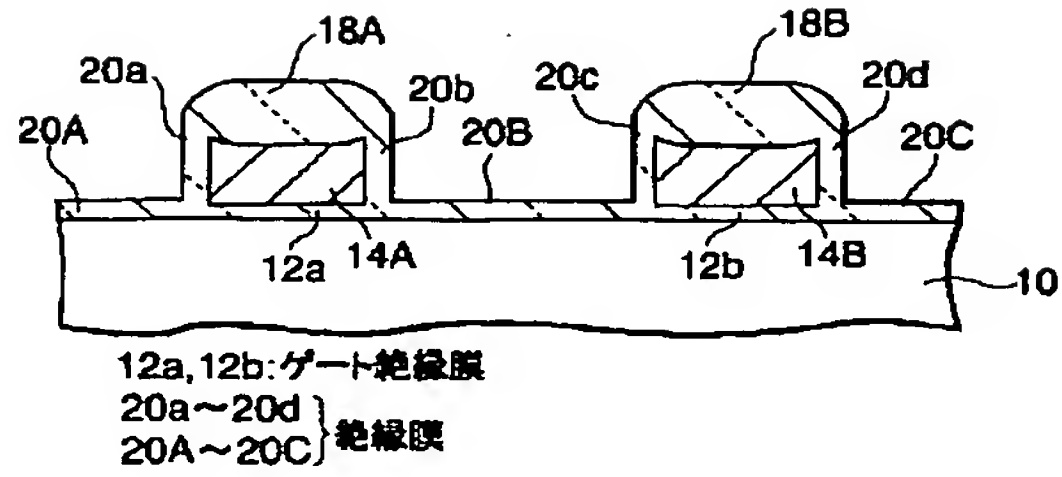
【図3】



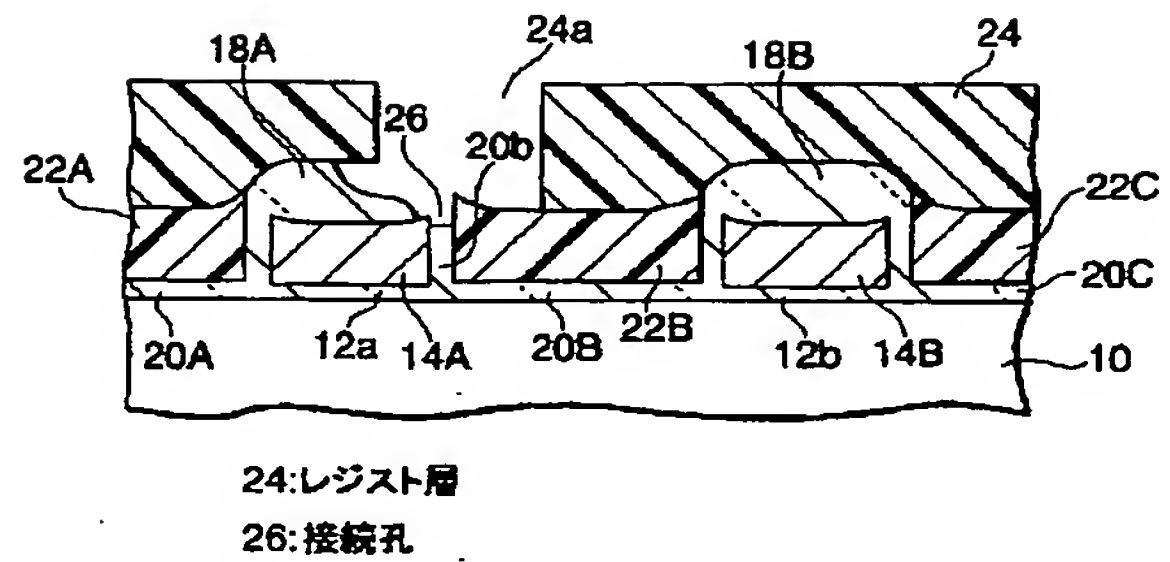
【図5】



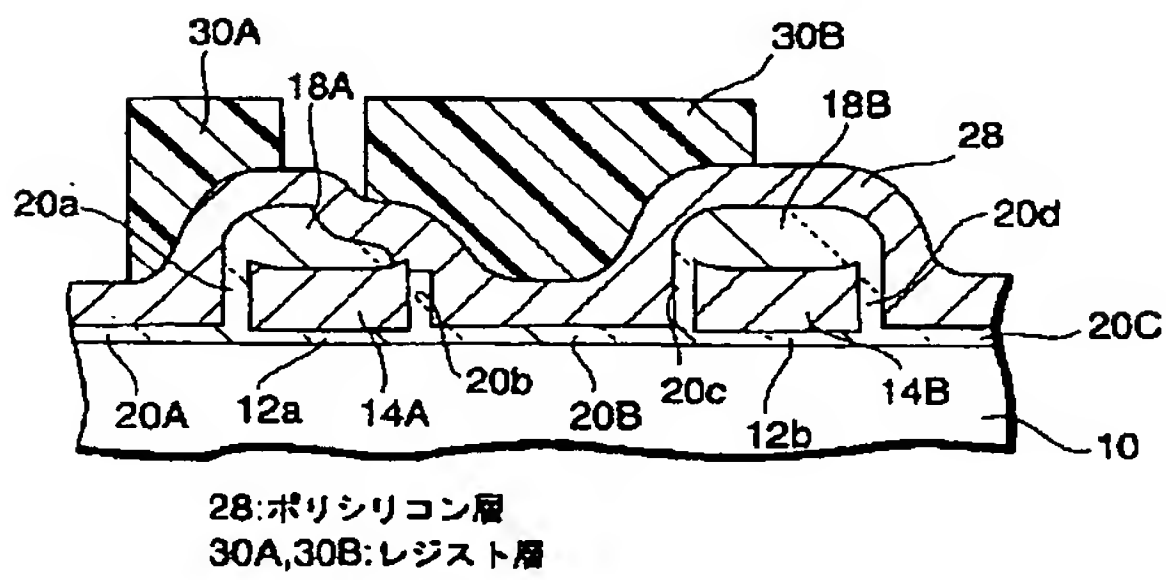
【図4】



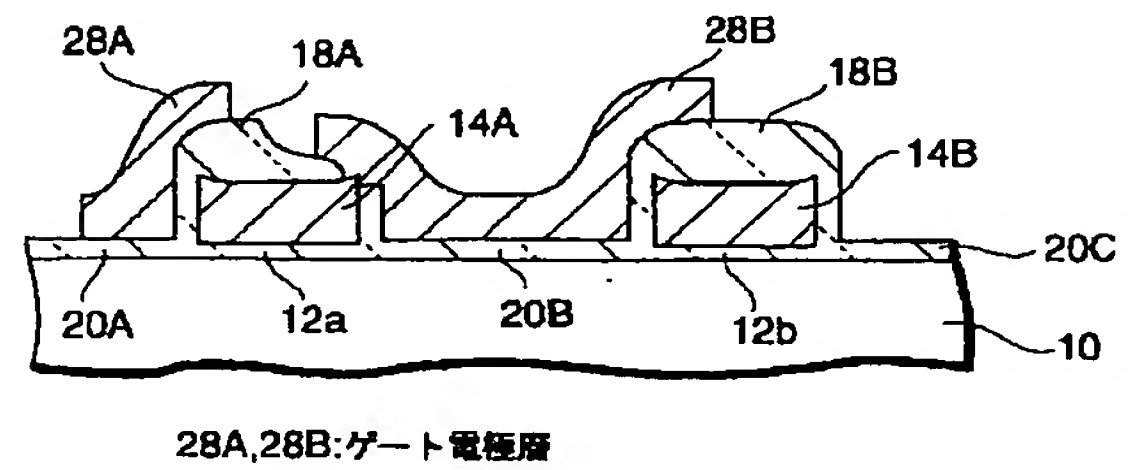
【図6】



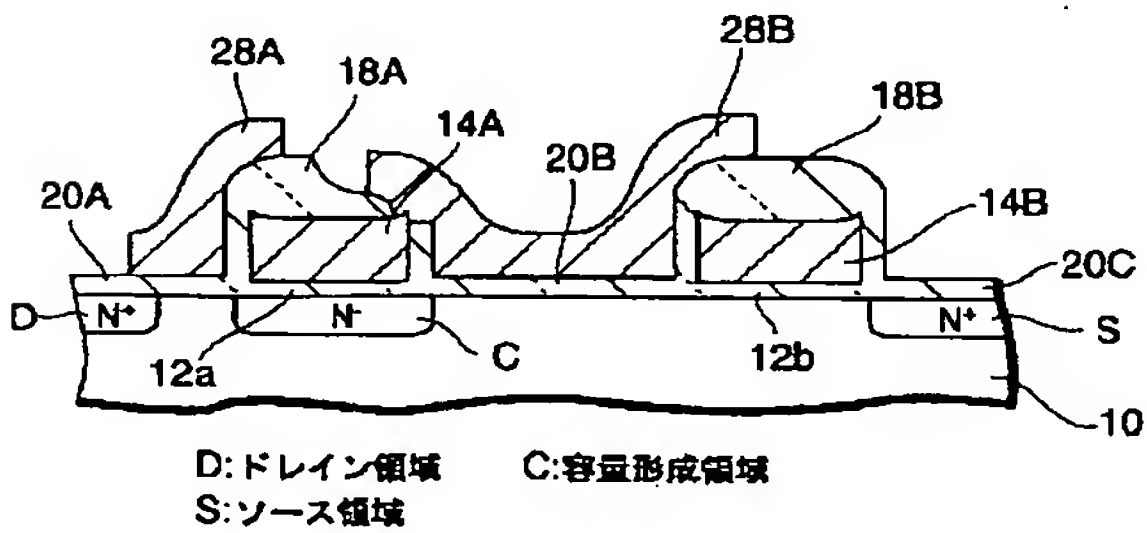
【図7】



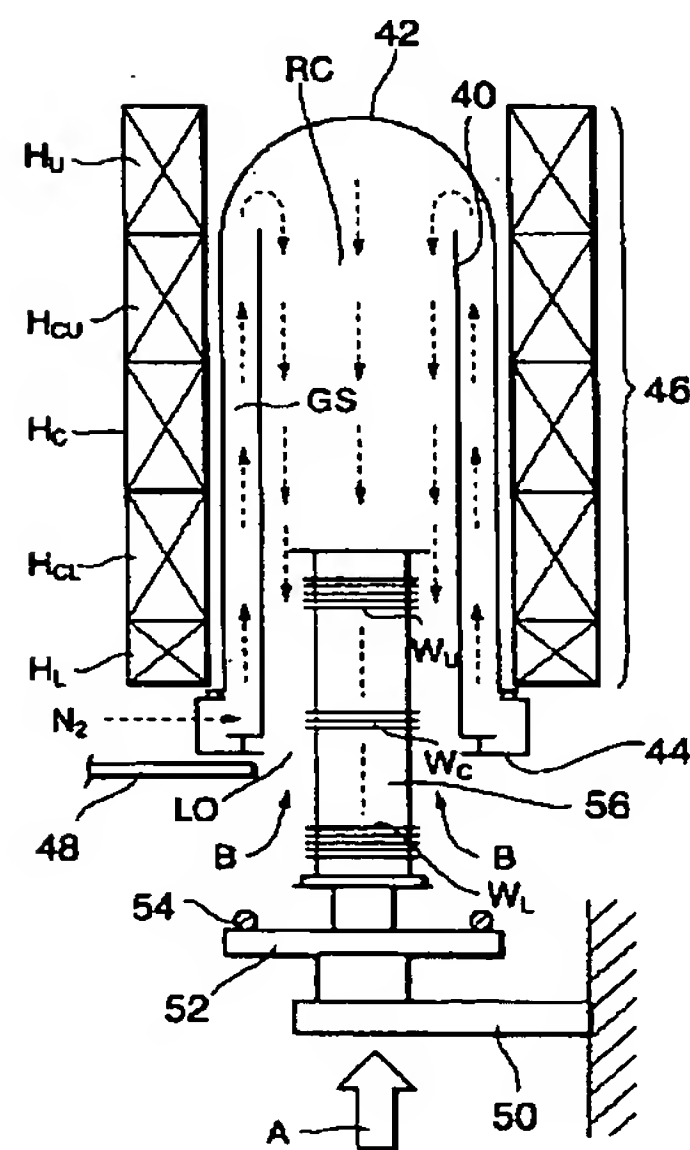
【図8】



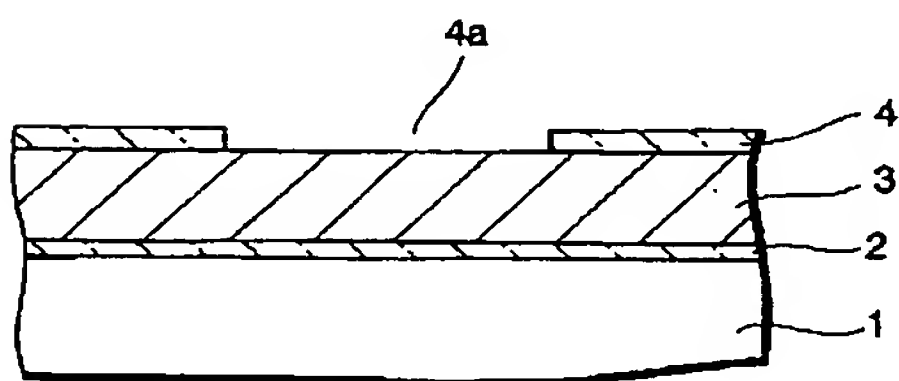
【図9】



【図10】

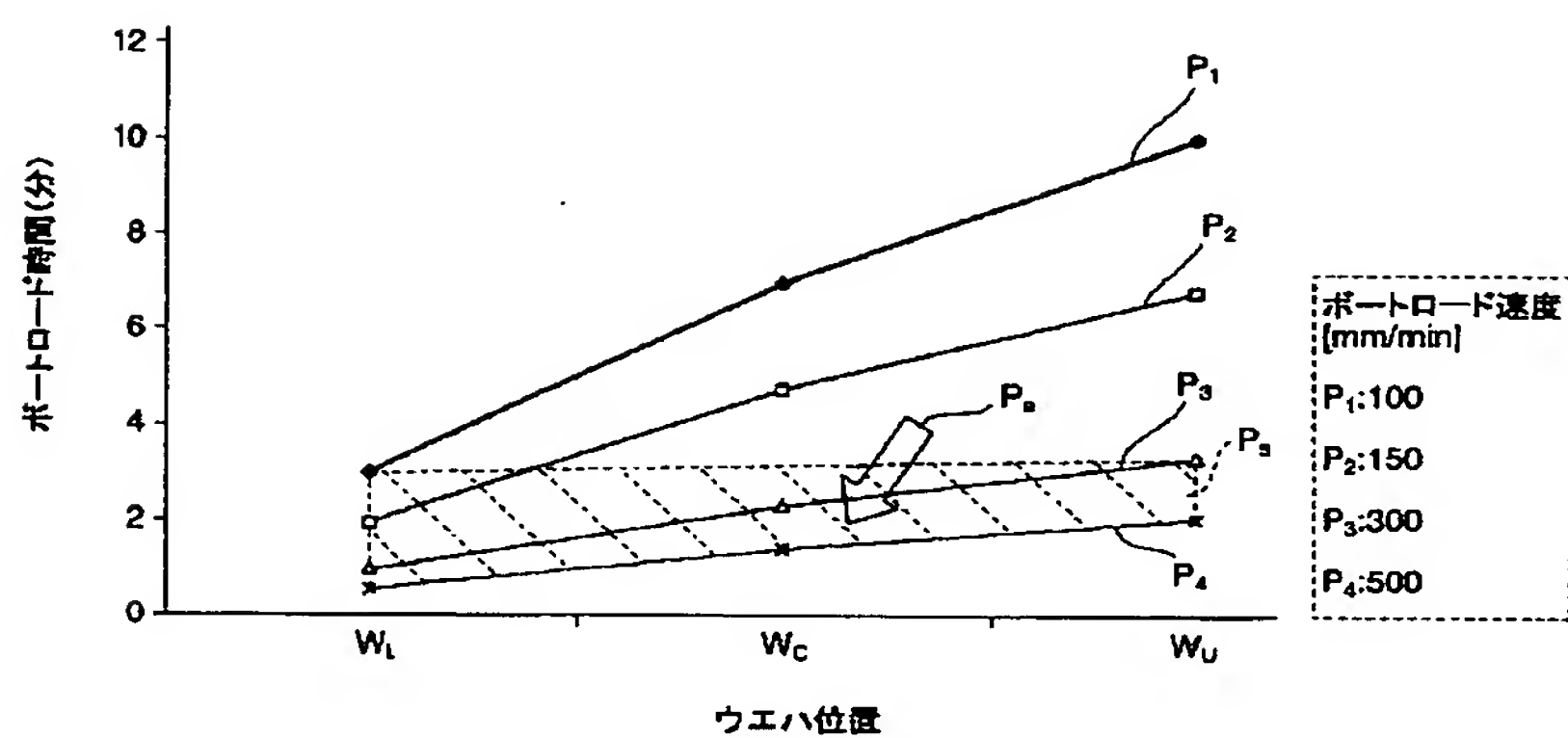


【図13】

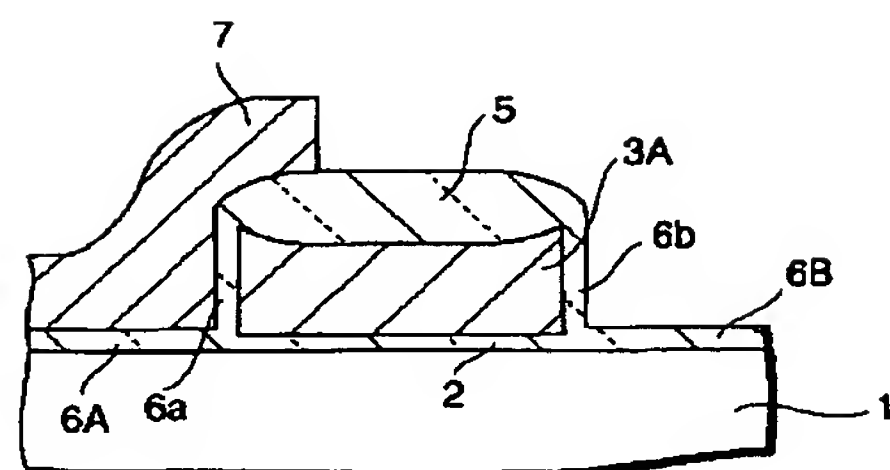


- 40: インナーチューブ
42: アウターチューブ
44: フランジ
46: ヒータ
48: シャッター
RC: 反応室
- 50: 支持アーム
52: 蓋体
54: Oリング
56: ウエハポート
W_u, W_c, W_L: ウエハ

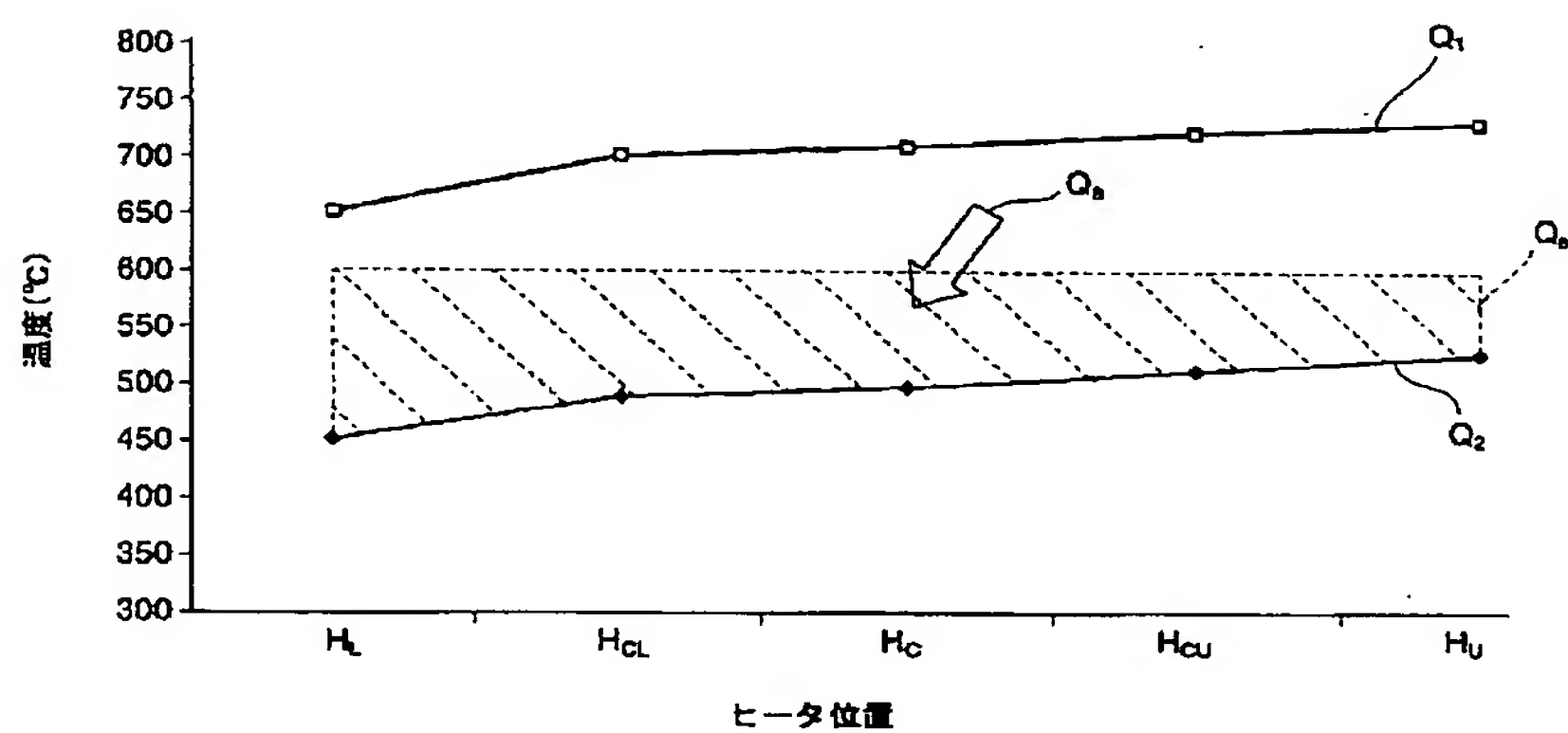
【図11】



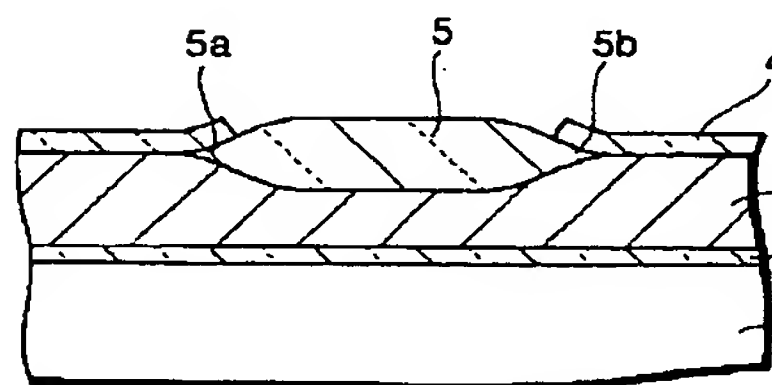
【図17】



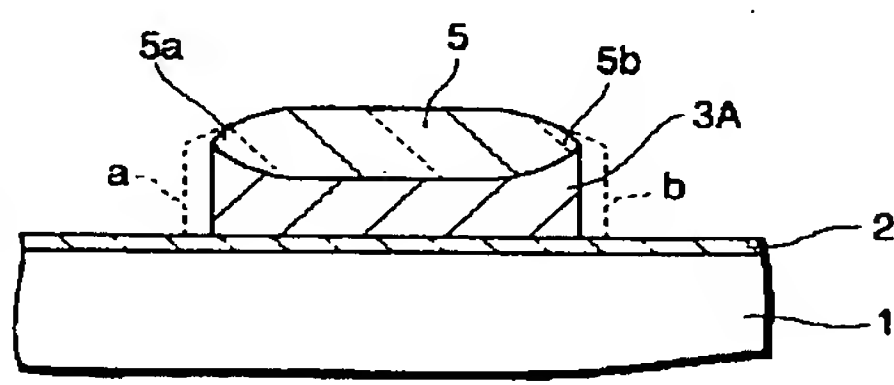
【図12】



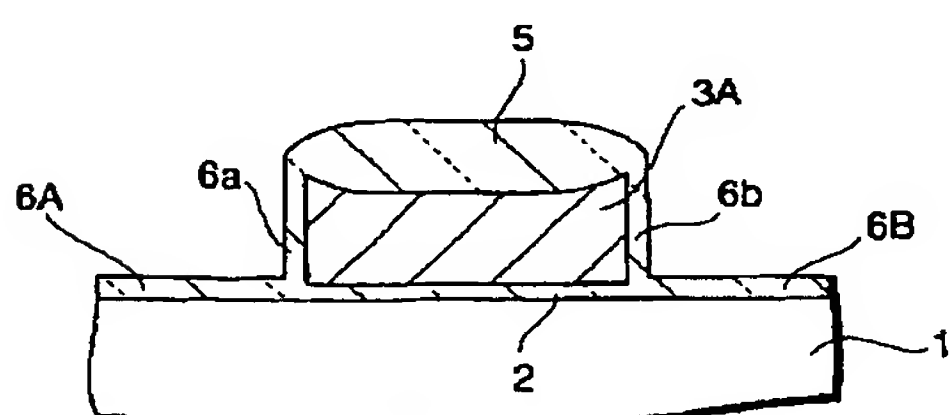
【図14】



【図15】



【図16】



フロントページの続き

F ターム(参考) 5F001 AA04 AA09 AA22 AA63 AB03
AD41 AG22
5F058 BA20 BC02 BC07 BF04 BF62
BF63 BF80 BG02 BG03 BG04
BJ01
5F083 EP25 EP45 EP57 JA33 PR12